

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of

Sang-Hun SEO, et al.

Serial No.

Filed: August 28, 2003

For: SEMICONDUCTOR DEVICE AND METHODS OF
MANUFACTURING THE SAME

CLAIM FOR CONVENTION PRIORITY

Commissioner for Patents
Alexandria, VA 22313-1450

Sir:

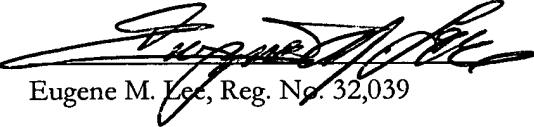
The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. §119 is hereby claimed:

APPLICATION NO. 2002-51322 - filed 29 August 2002 – Republic of KOREA.

In support of this claim, filed herewith is a certified copy of said original foreign application.

Respectfully submitted,

Date: August 28, 2003


Eugene M. Lee, Reg. No. 32,039

LEE & STERBA, P.C.
1101 WILSON BOULEVARD, SUITE 2000
ARLINGTON, VA 22209
703.525.0978 TEL
703.525.4265 FAX

DEPOSIT ACCOUNT CHARGE AUTHORIZATION

If fee payment is enclosed, this amount is believed to be correct. However, the Director is hereby authorized to charge any deficiency or credit any overpayment to Deposit Account No. 50-1645.

Any additional fee(s) necessary to effect the proper and timely filing of the above-paper may also be charged to Deposit Account No. 50-1645.

대

한 민

국

특

허

청

KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출 원 번 호 : 특허출원 2002년 제 51322 호
Application Number PATENT-2002-0051322

출 원 년 월 일 : 2002년 08월 29일
Date of Application AUG 29, 2002

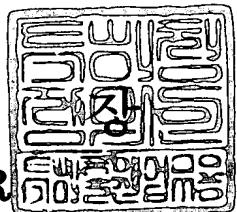
출 원 인 : 삼성전자 주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.

2002 년 10 월 01 일



특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2002.08.29
【발명의 명칭】	반도체소자 및 이를 제조하는 방법
【발명의 영문명칭】	Devices and Method of manufacturing semiconductor
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	김능균
【대리인코드】	9-1998-000109-0
【포괄위임등록번호】	2001-022241-9
【발명자】	
【성명의 국문표기】	서상훈
【성명의 영문표기】	SEO, Sang Hun
【주민등록번호】	690115-1057515
【우편번호】	305-755
【주소】	대전광역시 유성구 어은동 한빛아파트 138동 1105호
【국적】	KR
【발명자】	
【성명의 국문표기】	박승현
【성명의 영문표기】	PARK, Seung Hyun
【주민등록번호】	610815-1005546
【우편번호】	135-090
【주소】	서울특별시 강남구 삼성동22 상아아파트 7동 701호
【국적】	KR
【발명자】	
【성명의 국문표기】	이한신
【성명의 영문표기】	LEE, Han Sin
【주민등록번호】	690830-1411515
【우편번호】	442-470

1020020051322

출력 일자: 2002/10/3

【주소】 경기도 수원시 팔달구 영통동 황골마을아파트 141동 1102호
【국적】 KR
【발명자】
【성명의 국문표기】 김무성
【성명의 영문표기】 KIM, Moo Sung
【주민등록번호】 751215-1101011
【우편번호】 780-260
【주소】 경상북도 경주시 광명동 73-1번지
【국적】 KR
【발명자】
【성명의 국문표기】 양원석
【성명의 영문표기】 YANG, Won Suk
【주민등록번호】 640404-1932511
【우편번호】 449-846
【주소】 경기도 용인시 수지읍 풍덕천리 삼성5차 진산마을 521동 704호
【국적】 KR
【심사청구】 청구
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인 김능균 (인)
【수수료】
【기본출원료】 20 면 29,000 원
【가산출원료】 8 면 8,000 원
【우선권주장료】 0 건 0 원
【심사청구료】 13 항 525,000 원
【합계】 562,000 원
【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 반도체소자 및 이를 제조하는 방법에 관한 것으로, 본 발명은 게이트 패턴을 마스크로 하여 저농도의 소스/드레인을 위한 이온이 n 웰에 주입된 PMOS 트랜지스터영역과; 게이트패턴 및 그 양측벽에 형성된 게이트 스페이서를 마스크로 하여 고농도의 소스/드레인을 위한 이온이, 게이트 패턴을 마스크로 하여 저농도의 소스/드레인을 위한 이온이 p 웰에 주입된 NMOS 트랜지스터영역;을 구비한 반도체기판에 있어서: 상기 반도체기판 전면에 형성되는 절연막을 마스크로 하여 고농도의 소스/드레인을 위한 이온이 주입층을 형성하는 단계를 구비하고 있다.

【대표도】

도 7

【명세서】**【발명의 명칭】**

반도체소자 및 이를 제조하는 방법{Devices and Method of manufacturing semiconductor }

【도면의 간단한 설명】

도 1 내지 도 7은 본 발명에 따른 일 실시예인 반도체소자 및 이를 제조하는 방법을 순차적으로 도시한 공정순서도,

도 8 내지 도 15는 본 발명에 따른 또 다른 일 실시예인 반도체소자 및 이를 제조하는 방법을 순차적으로 도시한 공정순서도.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<3> 본 발명은 반도체소자의 및 이를 제조하는 방법에 관한 것으로, 보다 상세하게는 씨모스 트랜지스터 및 이를 제조하는 방법에 관한 것이다.

<4> 반도체소자의 집적도가 증가함에 따라 모스 트랜지스터의 채널 길이는 점점 짧아지고 있다. 모스 트랜지스터의 채널길이가 짧아지면 모스 트랜지스터의 게이트에 문턱전압보다 낮은 전압이 인가될지라도 누설전류가 흐르는 문제점이 발생한다. 따라서, 모스 트랜지스터로 구성된 반도체소자의 대기전류(stand-by current)가 증가하여 전력소모를 증가시

킨다. 이에 따라, 모스 트랜지스터의 짧은 채널효과(short channel effect)를 해결하기 위한 여러 가지의 방안이 제시되어 왔다. 모스 트랜지스터의 짧은 채널효과를 해결하기 위한 방법으로는 게이트 절연층의 두께를 감소시키는 방법 및 채널 농도를 증가시키는 방법 등이 잘 알려져 있다. 그러나, 상기한 방법들은 모스 트랜지스터의 문턱전압의 변화를 초래하여 게이트 절연층의 두께 및 채널 농도를 최적화시키기가 어렵다. 이에 따라, 미국특허공보 제4,949,136호에 기재된 "Submicron lightly doped field effect transistors"를 선행기술로 하여 얇은 드레인/소스 영역(Lightly doped drain/source : LDD)을 형성하여 짧은 채널효과를 해결하고자 하는 노력이 점점 활발해지고 있다.

<5> 그러나 종래의 LDD 구조를 갖는 모스트랜지스터는 점점 소스/드레인과 게이트간의 오버랩되는 면적이 증가하기 때문에 오버랩 커페시턴스도 증가하게 되고, 이로 인해 모스 트랜지스터가 오프된 상태에서 드레인영역과 이와 인접한 채널 영역 사이에 터널링 전류가 발생하는 GIDL(Gate induced drain leakage)효과에 의해 누설전류가 발생하는 데, 이 누설전류에 의해 PMOS 트랜지스터의 오동작 등과 같은 문제점이 있다.

【발명이 이루고자 하는 기술적 과제】

<6> 본 발명은 상기한 바와 같은 종래 기술의 문제점을 해결하기 위한 것으로서, 개선된 반도체소자 및 이를 제조하는 방법을 제공함에 있다.

<7> 또, 본 발명의 목적은 GIDL(Gate induced drain leakage) 효과에 의한 누설전류가 발생하는 것을 방지할 수 있는 반도체소자 및 이를 제조하는 방법을 제공함에 있다.

【발명의 구성 및 작용】

<8> 상기 목적을 달성하기 위하여 본 발명에서는, PMOS 트랜지스터영역과, NMOS 트랜지스터영역과, 상기 PMOS 트랜지스터영역에 형성된 PMOS트랜지스터의 게이트패턴 및 상기 NMOS 트랜지스터영역에 형성된 NMOS트랜지스터의 게이트패턴과, 상기 PMOS 트랜지스터의 게이트 패턴을 마스크로 하여 저농도의 소스/드레인을 위한 이온이 주입된 층을 갖는 n 웨爾과, 상기 PMOS 트랜지스터의 게이트패턴 및 그 양측벽에 형성된 게이트 스페이서를 마스크로 하여 고농도의 소스/드레인을 위한 이온이 주입된 층 및 게이트 패턴을 마스크로 하여 저농도의 소스/드레인을 위한 이온이 주입된 층을 갖는 p 웨이 구비된, 반도체기판의 전면에 제1 절연막을 형성하는 단계; 상기 NMOS 트랜지스터의 게이트패턴 및 게이트 스페이서를 포함한 P형 웨爾에 포토레지스트 패턴을 형성하여 PMOS 트랜지스터의 게이트 패턴 및 제2 게이트 스페이서 상부에 형성된 상기 제1 절연막을 마스크로 하여 P형 웨爾에 고농도의 소스/ 드레인을 위한 이온을 주입하는 단계; 및 상기 결과물 상에 층간절연막을 형성하고 콘택을 형성하는 단계로 이루어진다.

<9> 상기 제1 절연막은 이후의 콘택 형성 공정시 사용될 식각정지막으로, PMOS 트랜지스터의 소스/드레인 형성 공정시 마스크로도 사용되는 막질이고, 상기 제1 절연막은 1000Å 이상 증착하고, 상기 제1 절연막은 SiN 및 SiON 중 어느 하나를 사용하는 것이 바람직하다.

<10> 본 발명은 게이트 패턴을 마스크로 하여 저농도의 소스/드레인을 위한 이온이 n 웨爾에 주입된 PMOS 트랜지스터영역과; 게이트패턴 및 그 양측벽에 형성된 게이트 스페이서를 마스크로 하여 고농도의 소스/드레인을 위한 이온이, 게이트 패턴을 마스크로 하여 저농도의 소스/드레인을 위한 이온이 p 웨爾에 주입된 NMOS 트랜지스터영역;을 구비한 반

도체기판에 있어서: 상기 반도체기판 전면에 형성되는 절연막을 마스크로 하여 고농도의 소스/드레인을 위한 이온이 주입된 층을 형성하는 것이 다.

<11> 본 발명은 PMOS 트랜지스터영역과, NMOS 트랜지스터영역과, 상기 PMOS 트랜지스터영역에 형성된 PMOS트랜지스터의 게이트패턴 및 상기 NMOS 트랜지스터영역에 형성된 NMOS트랜지스터의 게이트패턴과, 상기 PMOS 트랜지스터의 게이트 패턴을 마스크로 하여 저농도의 소스/드레인을 위한 이온이 주입된 층을 갖는 n 웨爾과, 상기 PMOS 트랜지스터의 게이트패턴 및 그 양측벽에 형성된 게이트 스페이서를 마스크로 하여 고농도의 소스/드레인을 위한 이온이 주입된 층 및 게이트 패턴을 마스크로 하여 저농도의 소스/드레인을 위한 이온이 주입된 층을 갖는 p 웨爾이 구비된, 반도체기판의 상기 PMOS 트랜지스터의 게이트패턴 및 NMOS 트랜지스터의 게이트패턴의 상부에 금속막을 형성하고, 상기 결과물 전면에 캡핑막을 형성하여 실리사이데이션공정을 진행함으로써 실리사이드막을 형성하는 단계; 상기 NMOS 트랜지스터의 게이트패턴 및 제2 게이트 스페이서를 포함한 P형 웨爾에 제2 포토레지스트 패턴을 형성하여 PMOS 트랜지스터의 게이트 패턴 및 제2 게이트 스페이서 상부에 형성된 상기 캡핑막을 마스크로 하여 P형 웨爾에 고농도의 소스/ 드레인을 위한 이온을 주입하는 단계; 및 상기 결과물 상에 층간절연막을 형성하고 콘택을 형성하는 단계로 이루어진다.

<12> 상기 캡핑막은 SiN 및 SiON 중 어느 하나를 사용하고, 상기 금속막은 코발트(cobalt)로 형성하고, 1000Å 이상 증착하는 것이 바람직하다.

<13> 또, 본 발명은 소정의 도전성을 지닌 반도체기판과; 상기 반도체 기판의 PMOS 트랜지스터 영역 상에 게이트 산화막 및 게이트 도전층으로 형성된 게이트패턴과, 상기 게이트 패턴 양측의 반도체 기판 내에 형성된 저농도의 소스/드레인을 위한 이온주입층과, 상기

게이트 패턴과는 어느 정도의 거리를 갖도록 형성된 고농도의 소스/드레인을 위한 이온 주입층을 구비한 PMOS 트랜지스터와; 상기 반도체 기판의 NMOS 트랜지스터 영역 상에 게이트 산화막 및 게이트 도전층으로 형성된 게이트패턴과, 상기 게이트 패턴 양측의 반도체 기판 내에 형성된 저농도의 소스/드레인을 위한 이온주입층과, 상기 게이트 패턴과는 다소 가까운 거리를 갖는 고농도의 소스/드레인을 위한 이온주입층을 구비한 NMOS 트랜지스터로 이루어진다.

<14> 또, 본 발명은 PMOS 트랜지스터영역과, 상기 PMOS 트랜지스터영역에 형성된 PMOS 트랜지스터의 게이트패턴과, 상기 PMOS 트랜지스터의 게이트 패턴을 마스크로 하여 저농도의 소스/드레인을 위한 이온이 주입된 층을 갖는 n 웨이 구비된, 반도체기판의 전면에 제1 절연막을 형성하는 단계; 상기 PMOS 트랜지스터의 게이트 패턴 및 제2 게이트 스페이서 상부에 형성된 제1 절연막을 마스크로 하여 P형 웨이에 고농도의 소스/ 드레인을 위한 이온을 주입하는 단계; 및 상기 결과물 상에 층간절연막을 형성하고 콘택을 형성하는 단계로 이루어진다.

<15> 또, 본 발명은 소정의 도전성을 지닌 반도체기판과; 상기 반도체 기판의 PMOS 트랜지스터 영역 상에 게이트 산화막 및 게이트 도전층으로 형성된 게이트패턴과, 상기 게이트 패턴 양측의 반도체 기판 내에 형성된 저농도의 소스/드레인을 위한 이온주입층과, 상기 게이트 패턴과는 어느 정도의 거리를 갖도록 형성된 고농도의 소스/드레인을 위한 이온주입층을 구비한 PMOS 트랜지스터로 이루어진다.

<16> 또, 본 발명은 게이트패턴을 마스크로 하여 저농도의 소스/드레인을 형성하고, 상기 게이트 패턴의 양측벽에 게이트 스페이서가 형성된 반도체기판 전면에 절연막을 형성하여 이를 마스크로 하여 고농도의 소스/드레인을 위한 이온이 주입되는 것을 제공한다.

<17> 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시 예에 대해 상세히 설명한다.

<18> 도 1 내지 도 7은 본 발명에 따른 일 실시예인 싱글 게이트형 반도체소자 및 이를 제조하는 방법을 도시한 공정순서도이다. 도 8 내지 도 15는 본 발명에 따른 다른 일 실시예인 듀얼 게이트형 반도체소자 및 이를 제조하는 방법을 도시한 공정순서도이다.

<19> 도 1 내지 도 7은 본 발명에 따른 일 실시예인 싱글 게이트형 반도체소자 및 이를 제조하는 방법을 도시한 공정순서도로써 이를 참조하여 설명하면 다음과 같다.

<20> 도 1을 참조하면, P형 반도체 기판(10)의 필드영역에 PMOS 트랜지스터를 위한 액티브영역과 NMOS 트랜지스터를 위한 액티브영역을 전기적으로 절연하기 위한 아이솔레이션 층(i)을 형성하고, PMOS 트랜지스터를 위한 액티브영역에 N형 웨爾을 형성하고, NMOS 트랜지스터를 위한 액티브영역에 P형 웨爾을 형성한다. 이와 같이 형성된 P형 반도체 기판(10) 상에 게이트 산화막(12)을 형성하고, 게이트 산화막(12)의 상부에 게이트 도전층(14)을 형성한 후 이를 사진식각공정을 통해 PMOS 트랜지스터의 게이트패턴(PG) 및 NMOS 트랜지스터의 게이트패턴(NG)으로 각각 형성한다.

<21> 도 2를 참조하면, 사진공정을 통해 제1 포토레지스트 패턴(미도시)을 NMOS 트랜지스터의 게이트패턴(NG)을 포함한 P형 웨爾에 형성하고, 이로 인해 PMOS 트랜지스터의 게이트패턴(PG)을 포함한 N형 웨爾이 노출되도록 한다. 그리고, PMOS 트랜지스터의 게이트패턴(PG)을 마스크로 하여 N형 웨爾에 저농도로 이온주입하여 저농도의 소스/드레인을 위한 이온주입층(LP)을 각각 형성한다. 그리고, 제1 포토레지스트 패턴(미도시)을 제거한 후 제1 포토레지스트 패턴의 형성과 마찬가지로, 제2 포토레지스트 패턴(미도시)을 PMOS 트랜지스터의 게이트패턴(PG)을 포함한 N형 웨爾에 형성하고, 이로 인해 NMOS 트랜지스터의 게이트패턴(NG)을 포함한 P형 웨爾에 형성하고, 이로 인해 NMOS 트랜지스터의 게이트패턴(PG)을 포함한 N형 웨爾이 노출되도록 한다.

지스터의 게이트패턴(NG)을 포함한 P형 웨이 노출되도록 한다. 그리고, NMOS 트랜지스터의 게이트패턴(NG)을 마스크로 하여 P형 웨에 저농도로 이온주입하여 저농도의 소스/드레인을 위한 이온주입층(LN)을 형성한다.

<22> 도 3을 참조하면, 상기 제2 포토레지스트 패턴(미도시)을 제거한 후 상술한 결과물이 형성된 P형 반도체기판(10) 전면에 제1 절연막을 형성하고, 이를 사진식각하여 PMOS 트랜지스터의 게이트 패턴(PG) 및 NMOS 트랜지스터의 게이트패턴(NG)의 양측벽에 제2 게이트 스페이서(16b) 및 제1 게이트 스페이서(16a)를 각각 형성한다.

<23> 도 4를 참조하면, 사진공정을 통해 제3 포토레지스트 패턴(PR1)을 PMOS 트랜지스터의 게이트패턴(PG) 및 제2 게이트 스페이서(16b)를 포함한 N형 웨에 형성하고 이로 인해, NMOS 트랜지스터의 게이트패턴(NG)을 포함한 P형 웨이 노출되도록 한다. 그리고, NMOS 트랜지스터의 게이트패턴(NG) 및 제1 게이트 스페이서(16a)를 마스크로 하여 N형 웨에 고농도로 이온주입하여 고농도의 소스/드레인을 위한 이온주입층(HN)을 형성한다.

<24> 도 5를 참조하면, 제3 포토레지스트 패턴(PR1)을 제거한 후 상기 결과물 전면에 SiN 또는 SiON과 같은 제2 절연막(18)을 형성한다. 이 제2 절연막(18)은 이후의 콘택팅 공정시 사용될 식각의 정지막으로써 1000Å 정도의 두께로 증착된다. 또, 본 발명에서의 제2 절연막(18)은 이후에 수행될 PMOS 트랜지스터의 소스/드레인 형성 공정시 마스크로써 사용되는 막질이다.

<25> 도 6을 참조하면, 제3 포토레지스트 패턴(PR1)의 형성과 마찬가지로 사진공정을 통해 제4 포토레지스트 패턴(PR2)을 NMOS 트랜지스터의 게이트패턴(NG) 및 제1 게이트 스페이서(16a)를 포함한 P형 웨에 형성하여 PMOS 트랜지스터의 게이트패턴(PG) 및 제2 게이트 스페이서(16b)를 포함한 N형 웨이 노출되도록 한다. 그리고, PMOS 트랜지스터의 게

이트 패턴(PG) 및 제2 게이트 스페이서(16b) 상부에 형성된 제2 절연막(18)을 마스크로 하여 P형 웨일에 고농도로 이온주입함으로써 고농도의 소스/드레인을 위한 이온주입층(HP)을 형성한다. 따라서, 제2 절연막(18)을 마스크로 하여 형성된 고농도의 소스/드레인을 위한 이온주입층(HP)이 상기 PMOS 트랜지스터의 실질적인 소스/드레인이 되기 때문에 게이트-드레인간의 오버랩은 감소되고, 이로 인해 GIDL효과에 의한 누설전류를 감소시킬 수 있다.

<26> 도 7을 참조하면, 이어서, 상기 제4 포토레지스트 패턴(PR2)을 제거하고, 상기 결과물 전면에 층간절연막을 형성한 후 사진식각공정을 통해 콘택플러그를 형성하고 이 콘택플러그를 캡필하여 콘택을 형성함으로써 LDD가 형성된 소스/드레인을 구비한 싱글게이트형 씨모스 트랜지스터 제조방법인 본 공정을 완료한다.

<27> 따라서, 본 일 실시예는 제2 절연막을 마스크로 하여 고농도의 소스/드레인을 위한 이온주입층(HP)을 형성하게 되면, 이 이온주입층(HP)이 PMOS 트랜지스터의 실질적인 소스/드레인이 되기 때문에 게이트 - 드레인간의 오버랩은 감소되고, 이로 인해 GIDL효과에 의한 누설전류가 감소될 수 있는 효과가 있다.

<28> 도 8 내지 도 15는 본 발명에 따른 일 실시예인 듀얼 게이트형 반도체소자 및 이를 제조하는 방법을 도시한 공정순서도로써, 이를 참조하여 설명하면 다음과 같다. 도 8 내지 도 11은 상기 도 1 내지 도 4와 동일한 순서로 진행한다. 즉, P형 반도체 기판에 PMOS 트랜지스터영역과 NMOS 트랜지스터영역을 전기적으로 절연하기 위한 아이솔레이션 층(i)을 형성하고, PMOS 트랜지스터영역에 N형 웨일을 형성하고, NMOS 트랜지스터영역에 P형 웨일을 형성한다. 이와 같이 형성된 P형 반도체 기판(10) 상에 게이트 산화막(12)을 형성하고, 그 상부에 게이트도전층(14)을 형성한 후 이를 사진식각공정하면 PMOS 트랜지스

터의 게이트패턴(PG) 및 NMOS 트랜지스터의 게이트패턴(NG)으로 각각 형성한다. 제1 포토레지스트 패턴(미도시)을 NMOS 트랜지스터의 게이트패턴(NG)을 포함한 P형 웰에 형성하여 PMOS 트랜지스터의 게이트패턴(PG)을 마스크로 하여 N형 웰에 저농도로 이온주입하여 저농도의 소스/드레인을 위한 이온주입층(LP)을 각각 형성한다. 제2 포토레지스트 패턴(미도시)을 PMOS 트랜지스터의 게이트패턴(PG)을 포함한 N형 웰에 형성하여, NMOS 트랜지스터의 게이트패턴을 마스크로 하여 P형 웰에 저농도로 이온주입하여 저농도의 소스/드레인을 위한 이온주입층(LN)을 형성한다. 상술한 결과물이 형성된 P형 반도체 기판(10) 전면에 제1 절연막을 형성하고, 이를 사진식각하여 PMOS 트랜지스터의 게이트 패턴(PG) 및 NMOS 트랜지스터의 게이트패턴(NG)의 양측벽에 제2 게이트 스페이서(16b) 및 제1 게이트 스페이서(16a)를 각각 형성한다.

<29> 이어서, 사진공정을 통해 제3 포토레지스트 패턴(PR1)을 PMOS 트랜지스터의 게이트 패턴(PG) 및 제2 게이트 스페이서(16b)를 포함한 N형 웰에 형성하고 이로 인해, NMOS 트랜지스터의 게이트패턴(NG) 및 제1 게이트 스페이서(16a)를 마스크로 하여 P형 웰에 고농도로 이온주입하여 고농도의 소스/드레인을 위한 이온주입층(HN)을 형성한다.

<30> 도 12를 참조하면, 제3 포토레지스트 패턴(PR1)을 제거한 후 상기 PMOS 트랜지스터의 게이트 패턴(PG) 및 NMOS 트랜지스터의 게이트 패턴(NG)의 상부에 실리사이드막 형성에 사용되는 금속막 예를 들어 코발트막(cobalt layer, 15)을 증착한다. 부가적으로 코발트막(15)을 증착하기 이전에 실리사이드화를 억제하는 자연산화막을 제거하는 공정을 진행할 수도 있다.

<31> 도 13을 참조하면, 상기 결과물 전면에 캡핑막(Capping, 20)으로 SiON 또는 SiN과 같은 물질을 형성한다. 이는 상기 코발트막(15)의 실리사이데이션을 위한 캡핑막으로써 1000Å정도의 두께로 증착된다. 또, 본 발명에서의 캡핑막(20)은 이후에 수행될 PMOS 트랜지스터의 소스/드레인 형성 공정시 마스크로써 사용되는 막질이다. 캡핑막(20)을 증착한 후 코발트막(15)을 열처리하여 실리사이데이션하면 실리사이드막(15b)을 형성한다. 즉, 열처리를 진행하는 동안 상기 캡핑막(20)은 상기 코발트막 내로 확산하여 실리사이드화 반응을 진행한다.

<32> 도 14를 참조하면, 상술한 결과물 상에 상기 제3 포토레지스트 패턴(PR1)의 형성과 마찬가지로 사진공정을 통해 제4 포토레지스트 패턴(PR2)을 NMOS 트랜지스터의 게이트 패턴(NG) 및 제1 게이트 스페이서(16a)를 포함한 P형 웨이에 형성하여 PMOS 트랜지스터의 게이트패턴(PG) 및 제2 게이트 스페이서(16b) 상부에 형성된 캡핑막(20)을 마스크로 하여 P형 웨이에 고농도로 이온주입함으로써 고농도의 소스/ 드레인을 위한 이온주입층(HP)을 형성한다. 따라서, 캡핑막(20)을 마스크로 하여 형성된 고농도의 소스 /드레인을 위한 이온주입층(HP)은 PMOS 트랜지스터의 실질적인 소스/드레인이 되기 때문에 게이트 - 드레인 간의 오버랩은 감소되고, 이로 인해 GIDL효과에 의한 누설전류가 감소될 수 있다.

<33> 도 15를 참조하면, 상기 제4 포토레지스트 패턴(PR2)을 제거하고, 상기 결과물 전면에 층간절연막(22)을 형성한 후 사진식각공정을 통해 콘택플러그를 형성하고 이 콘택플러그를 캡필하여 콘택(C)을 형성함으로써 LDD가 형성된 소스/드레인을 구비한 듀얼 게이트형 씨모스 트랜지스터 제조방법인 본 공정을 완료한다.

<34> 따라서, 본 일 실시예는 캡핑막을 마스크로 하여 고농도의 소스/ 드레인을 위한 이온주입층(HP)을 형성하게 되면, 이 이온주입층(HP)이 PMOS 트랜지스터의 실질적인 소스/ 드레인이 되기 때문에 게이트 - 드레인간의 오버랩은 감소되고, 이로 인해 GIDL효과에 의한 누설전류가 감소될 수 있는 효과가 있다.

【발명의 효과】

<35> 본 발명은 상기한 바와 같은 종래 기술의 문제점을 해결하기 위한 것으로서, 콘택 형성시 식각정지막으로 사용되는 제2 절연막을 마스크로 하여 PMOS트랜지스터의 고농도의 소스/ 드레인을 위한 이온주입층을 형성하게 되면, 이 이온주입층이 PMOS 트랜지스터의 실질적인 소스/드레인이 되기 때문에 게이트-드레인 간의 오버랩이 감소되고, 이로 인해 GIDL효과에 의한 누설전류가 감소될 수 있는 효과가 있다.

<36> 또, 본 발명은 금속막의 실리사이데이션공정을 위한 캡핑막을 마스크로 하여 PMOS 트랜지스터의 고농도의 소스/ 드레인을 위한 이온주입층을 형성하게 되면, 이 이온주입층이 PMOS 트랜지스터의 실질적인 소스/드레인이 되기 때문에 게이트-드레인 간의 오버랩이 감소되고, 이로 인해 GIDL효과에 의한 누설전류가 감소될 수 있는 효과가 있다.

<37> 상기에서는 본 발명의 바람직한 실시 예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

【특허청구범위】**【청구항 1】**

PMOS 트랜지스터영역과, NMOS 트랜지스터영역과, 상기 PMOS 트랜지스터영역에 형성된 PMOS트랜지스터의 게이트패턴 및 상기 NMOS 트랜지스터영역에 형성된 NMOS트랜지스터의 게이트패턴과, 상기 PMOS 트랜지스터의 게이트 패턴을 마스크로 하여 저농도의 소스/드레인을 위한 이온이 주입된 층을 갖는 n 웰과, 상기 PMOS 트랜지스터의 게이트패턴 및 그 양측벽에 형성된 게이트 스페이서를 마스크로 하여 고농도의 소스/드레인을 위한 이온이 주입된 층 및 게이트 패턴을 마스크로 하여 저농도의 소스/드레인을 위한 이온이 주입된 층을 갖는 p 웰이 구비된, 반도체기판의 전면에 제1 절연막을 형성하는 단계;

상기 NMOS 트랜지스터의 게이트패턴 및 게이트 스페이서를 포함한 P형 웰에 포토레지스트 패턴을 형성하여 PMOS 트랜지스터의 게이트 패턴 및 제2 게이트 스페이서 상부에 형성된 상기 제1 절연막을 마스크로 하여 P형 웰에 고농도의 소스/ 드레인을 위한 이온을 주입하는 단계; 및

상기 결과물 상에 층간절연막을 형성하고 콘택을 형성하는 단계로 이루어진 것을 특징으로 하는 반도체소자의 제조방법.

【청구항 2】

제1 항에 있어서, 상기 제1 절연막은

이후의 콘택 형성 공정시 사용될 식각정지막으로, PMOS 트랜지스터의 소스/드레인 형성 공정시 마스크로도 사용되는 막질인 것을 특징으로 하는 반도체소자의 제조방법.

【청구항 3】

제1 항에 있어서, 상기 제1 절연막은

1000Å 이상 증착하는 것을 특징으로 하는 반도체소자의 제조방법.

【청구항 4】

제1 항에 있어서, 상기 제1 절연막은

SiN 및 SiON 중 어느 하나를 사용하는 것을 특징으로 하는 반도체소자의 제조방법.

【청구항 5】

게이트 패턴을 마스크로 하여 저농도의 소스/드레인을 위한 이온이 n 웨л에 주입된 PMOS 트랜지스터영역과; 게이트패턴 및 그 양측벽에 형성된 게이트 스페이서를 마스크로 하여 고농도의 소스/드레인을 위한 이온이, 게이트 패턴을 마스크로 하여 저농도의 소스/드레인을 위한 이온이 p 웨л에 주입된 NMOS 트랜지스터영역;을 구비한 반도체기판에 있어서:

상기 반도체기판 전면에 형성되는 절연막을 마스크로 하여 고농도의 소스/드레인을 위한 이온이 주입된 층을 형성하는 것이 구비된 것을 특징으로 하는 반도체소자의 제조 방법.

【청구항 6】

PMOS 트랜지스터영역과, NMOS 트랜지스터영역과, 상기 PMOS 트랜지스터영역에 형성된 PMOS트랜지스터의 게이트패턴 및 상기 NMOS 트랜지스터영역에 형성된 NMOS트랜지스터의 게이트패턴과, 상기 PMOS 트랜지스터의 게이트 패턴을 마스크로 하여 저농도의 소스/드레인을 위한 이온이 주입된 층을 갖는 n 웨尔과, 상기 PMOS 트랜지스터의 게이트패턴 및 그 양측벽에 형성된 게이트 스페이서를 마스크로 하여 고농도의 소스/드레인을 위한 이온이 주입된 층 및 게이트 패턴을 마스크로 하여 저농도의 소스/드레인을 위한 이온이 주입된 층을 갖는 p 웨尔이 구비된, 반도체기판의 상기 PMOS 트랜지스터의 게이트패턴 및 NMOS 트랜지스터의 게이트패턴의 상부에 금속막을 형성하고, 상기 결과물 전면에 캡핑막을 형성하여 실리사이데이션공정을 진행함으로써 실리사이드막을 형성하는 단계;

상기 NMOS 트랜지스터의 게이트패턴 및 제2 게이트 스페이서를 포함한 P형 웨尔에 제2 포토레지스트 패턴을 형성하여 PMOS 트랜지스터의 게이트 패턴 및 제2 게이트 스페이서 상부에 형성된 상기 캡핑막을 마스크로 하여 P형 웨尔에 고농도의 소스/ 드레인을 위한 이온을 주입하는 단계; 및

상기 결과물 상에 충간절연막을 형성하고 콘택을 형성하는 단계로 이루어진 것을 특징으로 하는 반도체소자의 제조방법.

【청구항 7】

제5 항에 있어서, 상기 캡핑막은 SiN 및 SiON 중 어느 하나를 사용하는 것을 특징으로 하는 반도체소자의 제조방법.

【청구항 8】

제5 항에 있어서, 상기 금속막은 코발트(cobalt)로 형성하는 것을 특징으로 하는 반도체소자의 제조방법.

【청구항 9】

제5 항에 있어서, 상기 캡핑막은 1000Å 이상 증착하는 것을 특징으로 하는 반도체소자의 제조방법.

【청구항 10】

소정의 도전성을 지닌 반도체기판과;
상기 반도체 기판의 PMOS 트랜지스터 영역 상에 게이트 산화막 및 게이트 도전층으로 형성된 게이트패턴과, 상기 게이트 패턴 양측의 반도체 기판 내에 형성된 저농도의 소스

/드레인을 위한 이온주입층과, 상기 게이트 패턴과는 어느 정도의 거리를 갖도록 형성된 고농도의 소스/드레인을 위한 이온주입층을 구비한 PMOS 트랜지스터와;
상기 반도체 기판의 NMOS 트랜지스터 영역 상에 게이트 산화막 및 게이트 도전층으로 형성된 게이트패턴과, 상기 게이트 패턴 양측의 반도체 기판 내에 형성된 저농도의 소스/드레인을 위한 이온주입층과, 상기 게이트 패턴과는 다소 가까운 거리를 갖는 고농도의 소스/드레인을 위한 이온주입층을 구비한 NMOS 트랜지스터로 이루어진 것을 특징으로 하는 반도체소자.

【청구항 11】

소정의 도전성을 지닌 반도체기판과;
상기 반도체 기판의 PMOS 트랜지스터 영역 상에 게이트 산화막 및 게이트 도전층으로 형성된 게이트패턴과, 상기 게이트 패턴 양측의 반도체 기판 내에 형성된 저농도의 소스/드레인을 위한 이온주입층과, 상기 게이트 패턴과는 어느 정도의 거리를 갖도록 형성된 고농도의 소스/드레인을 위한 이온주입층을 구비한 PMOS 트랜지스터로 이루어진 것을 특징으로 하는 반도체소자.

【청구항 12】

PMOS 트랜지스터영역과, 상기 PMOS 트랜지스터영역에 형성된 PMOS트랜지스터의 게이트패턴과, 상기 PMOS 트랜지스터의 게이트 패턴을 마스크로 하여 저농도의 소스/드레인을 위

한 이온이 주입된 층을 갖는 n 웨이 구비된, 반도체기판의 전면에 제1 절연막을 형성하는 단계;

상기 PMOS 트랜지스터의 게이트 패턴 및 제2 게이트 스페이서 상부에 형성된 제1 절연막을 마스크로 하여 P형 웨일에 고농도의 소스/드레인을 위한 이온을 주입하는 단계; 및

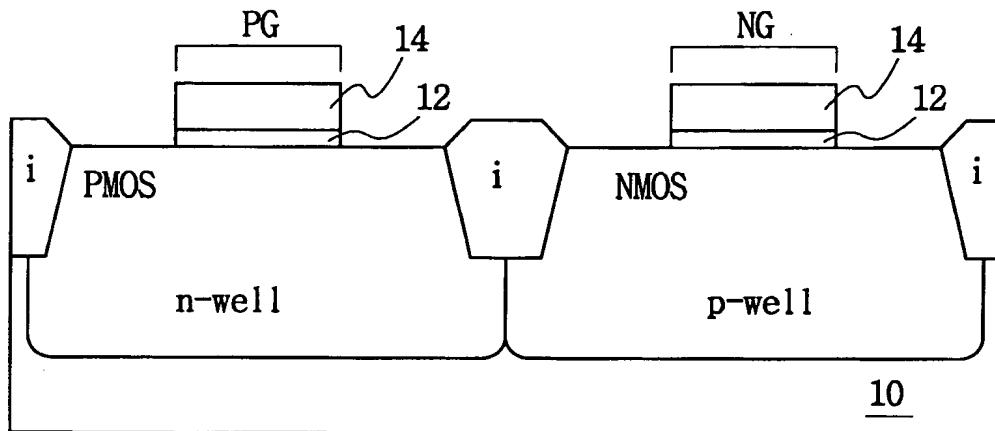
상기 결과물 상에 층간절연막을 형성하고 콘택을 형성하는 단계로 이루어진 것을 특징으로 하는 반도체소자의 제조방법.

【청구항 13】

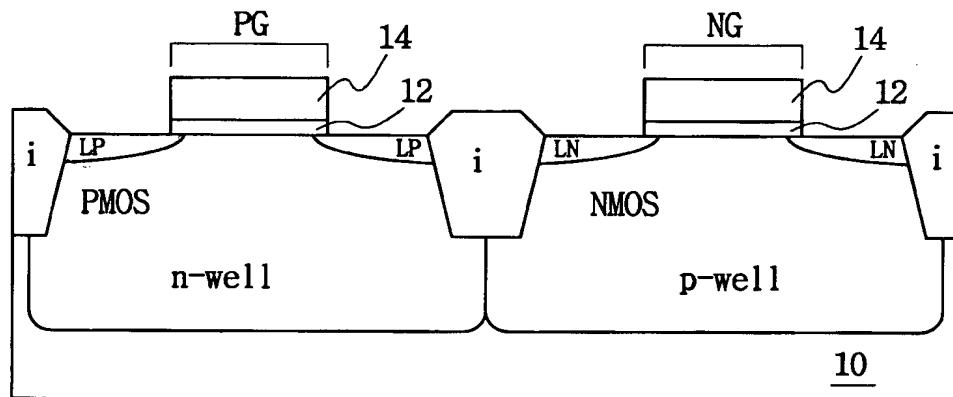
게이트패턴을 마스크로 하여 저농도의 소스/드레인을 형성하고, 이 게이트 패턴의 양측 벽에 게이트 스페이서가 형성된 반도체기판 전면에 절연막을 형성하여 이를 마스크로 하여 고농도의 소스/드레인을 위한 이온이 주입되는 것을 특징으로 하는 반도체소자.

【도면】

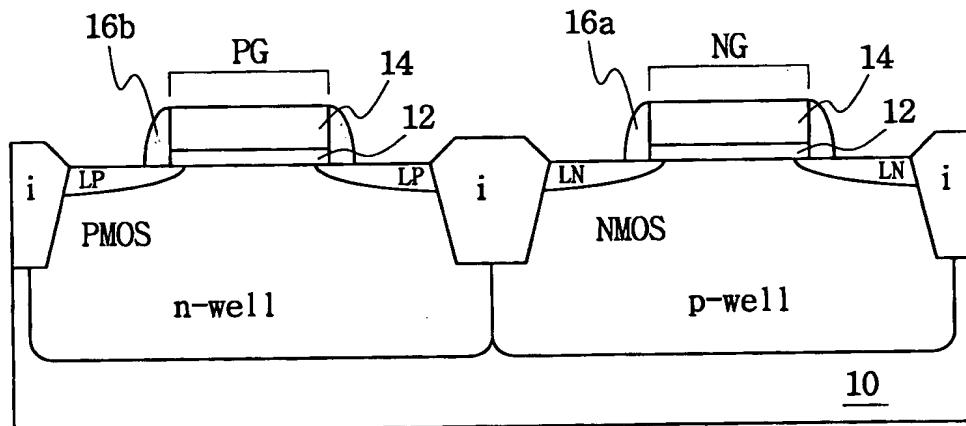
【도 1】



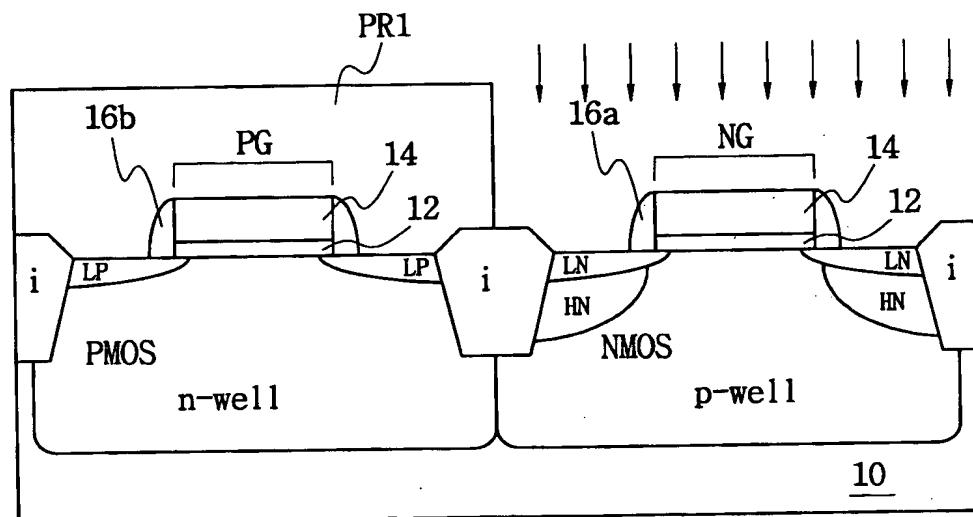
【도 2】



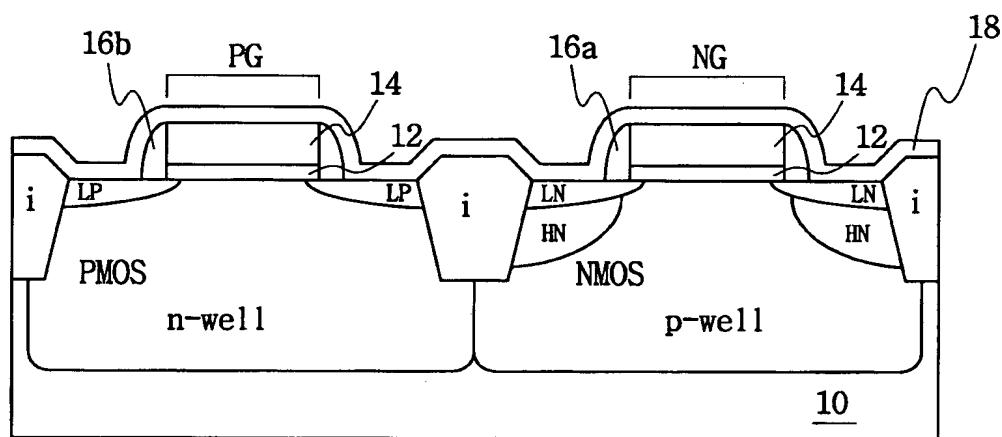
【도 3】



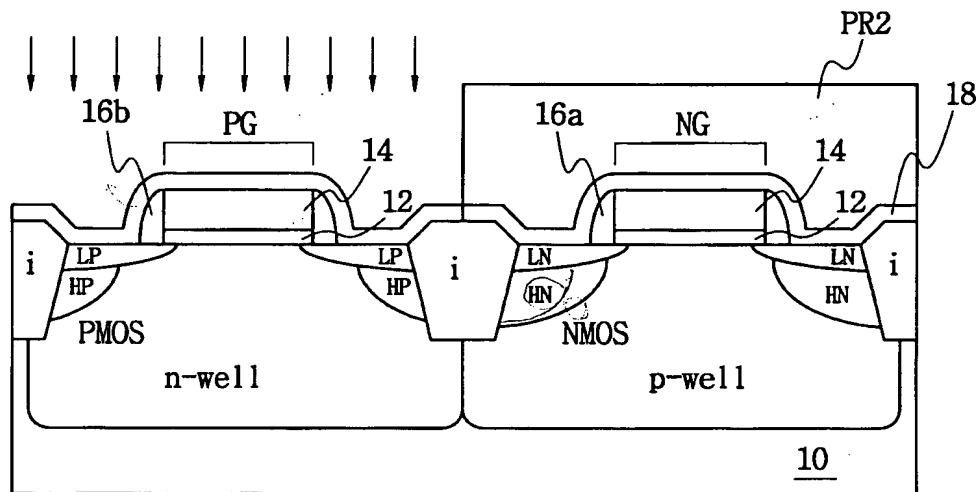
【도 4】



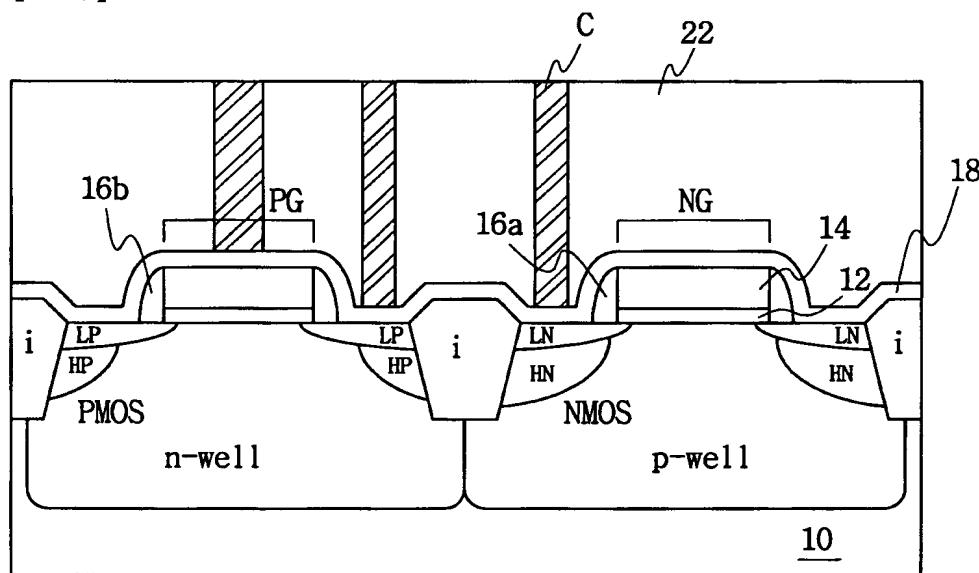
【도 5】



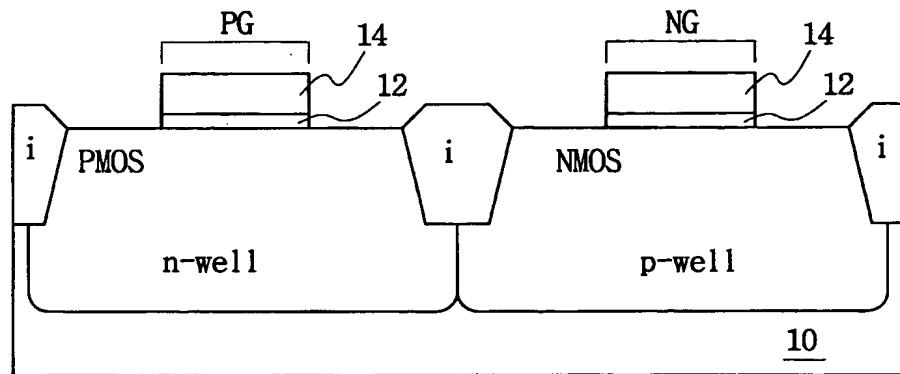
【도 6】



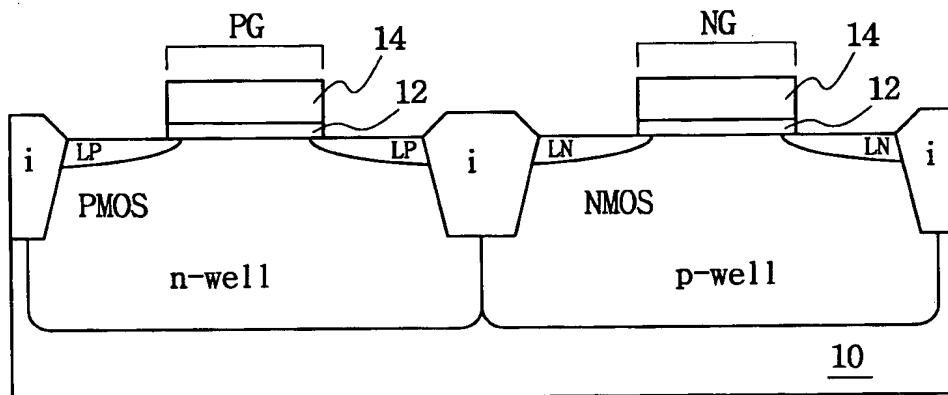
【도 7】



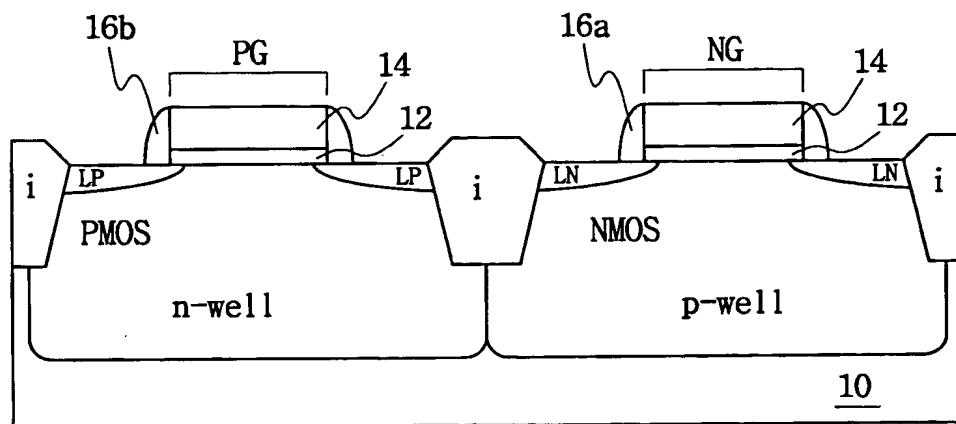
【도 8】



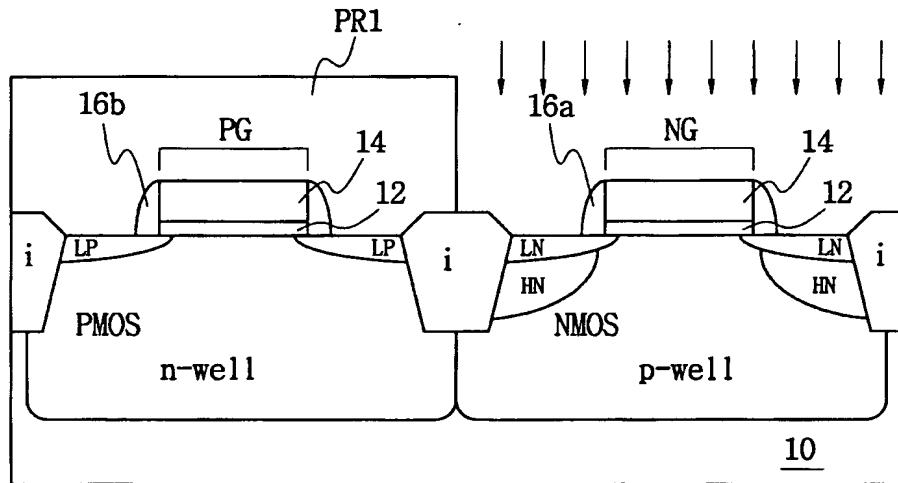
【도 9】



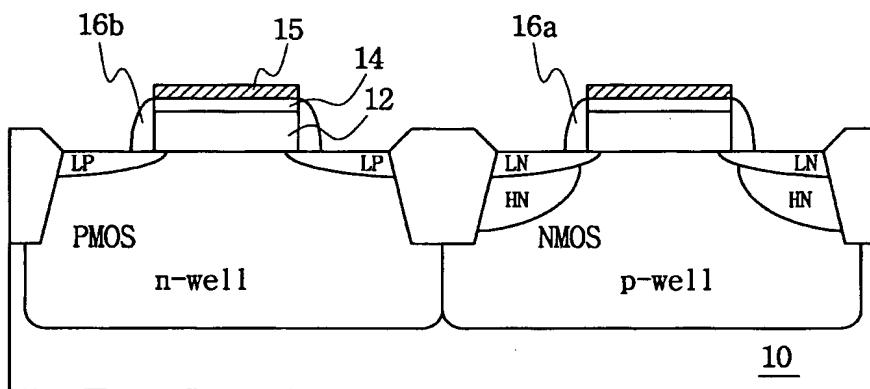
【도 10】



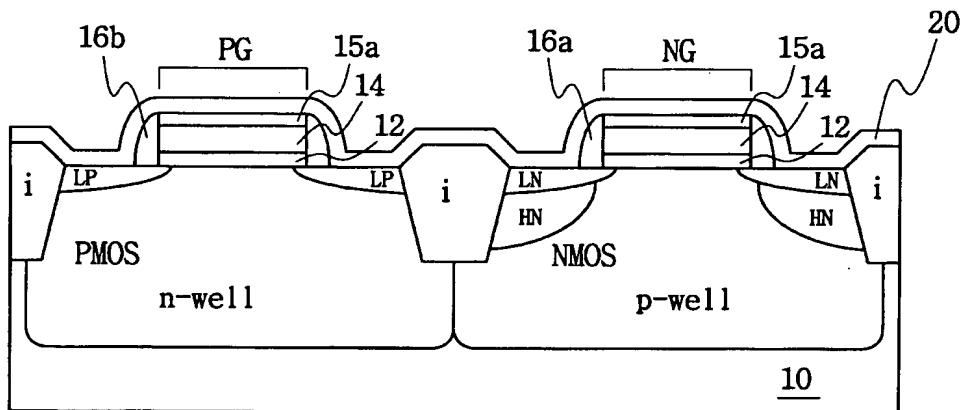
【도 11】



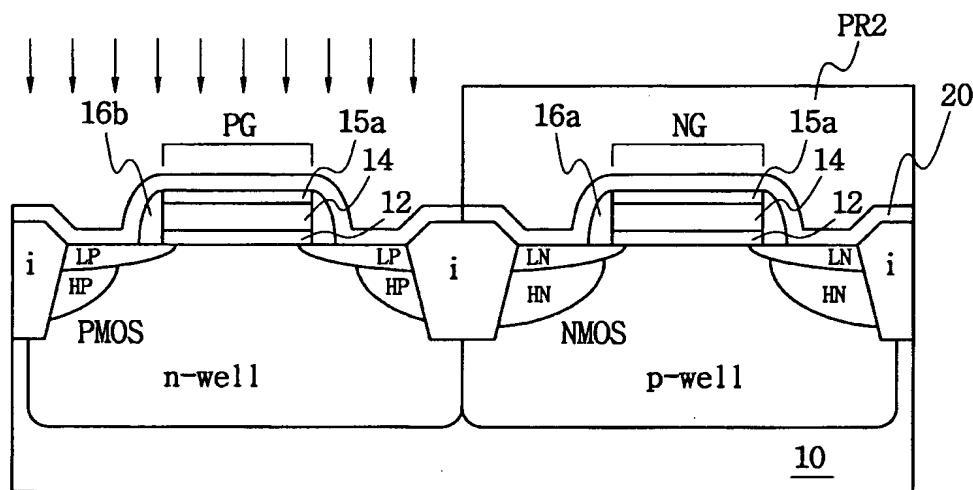
【도 12】



【도 13】



【도 14】



【도 15】

